

**MODULE COMPRISING IC MEMORY STACK DEDICATED TO AND
STRUCTURALLY COMBINED WITH AN IC MICROPROCESSOR**

Publication number: JP8504060T

Publication date: 1996-04-30

Inventor:

Applicant:

Classification:

- International: **H01L25/04; H01L25/065; H01L25/07; H01L25/18;
H01L27/00; H05K7/02; H01L25/04; H01L25/065;
H01L25/07; H01L25/18; H01L27/00; H05K7/02; (IPC1-
7): H01L25/04; H01L25/065; H01L25/07; H01L25/18;
H01L27/00**

- European: **H01L25/065S; H01L25/18; H05K7/02B**

Application number: JP19930513453T 19931201

Priority number(s): WO1993US11601 19931201; US19920985837
19921203

Also published as:

WO9413121 (A1)
EP0683968 (A1)
US5347428 (A1)
EP0683968 (A4)
EP0683968 (A0)
EP0683968 (B1)

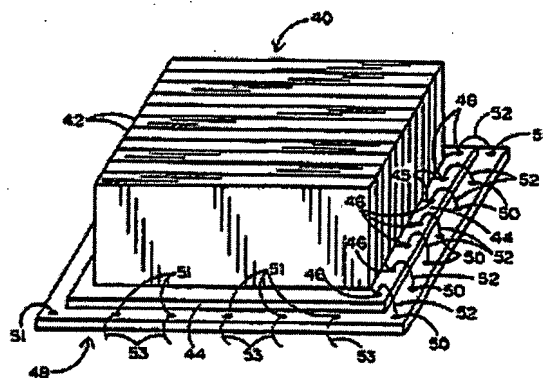
less <<

Report a data error here

Abstract not available for JP8504060T

Abstract of corresponding document: **WO9413121**

A computer module (54) is disclosed in which a stack of glued together IC memory chips is secured to a microprocessor chip (48). The memory provided by the stack is dedicated to the microprocessor chip. The microprocessor and its memory stack are structurally combined to constitute an integrated computer module. Several structural combinations are disclosed, including direct bonding of the stack to the microprocessor, and bonding of the stack and microprocessor to opposite sides of a substrate. Electrical connections may be provided by several arrangements, e.g., solder bumps engaging aligned solder bumps, or wire bonds (52) connected between exposed terminal (46). Structural bonding may be accomplished in several ways, e.g., using adhesive, or using solder bumps.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表平8-504060

(43)公表日 平成8年(1996)4月30日

(51) Int.Cl.⁶

識別記号

庁内整理番号

FI

H01L 25/04

25/065

25/07

8727-4E

H01L 25/04

z

8727-4E

25/08

B

審査請求 未請求 予備審査請求 有 (全 41 頁) 最終頁に続く

| | |
|---------------|--|
| (21) 出願番号 | 特願平6-513453 |
| (86) (22) 出願日 | 平成5年(1993)12月1日 |
| (85) 翻訳文提出日 | 平成7年(1995)6月5日 |
| (86) 国際出願番号 | PCT/US93/11601 |
| (87) 国際公開番号 | WO94/13121 |
| (87) 国際公開日 | 平成6年(1994)6月9日 |
| (31) 優先権主張番号 | 07/985,837 |
| (32) 優先日 | 1992年12月3日 |
| (33) 優先権主張国 | 米国(US) |
| (81) 指定国 | EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP |

(71)出願人 イルビン センサーズ コーポレーション
アメリカ合衆国, カリフォルニア, コスタ
メサ, レッドヒル アヴェニュー 3001

(72)発明者 カーソン, ジョン, シー.
アメリカ合衆国 92625 カリフォルニア,
コロナ デル マー, セッティング サン
ドライブ 2921

(72)発明者 インディン, ロナルド, ジェー.
アメリカ合衆国 92648 カリフォルニア,
ハンティングトン ビーチ, 15ス ストリ
ート 310

(74)代理人 弁理士 篠田 通子

最終頁に続く

(54) 【発明の名称】 ICマイクロプロセッサ用で、構造的にICマイクロプロセッサに組み合わされたICメモリー積層を含むモジュール

(57) 【要約】

互いに接着されたＩＣメモリー・チップの積層がマイクロプロセッサ・チップ（４８）に固定されたコンピュータ・モジュール（５４）が開示されている。該積層により提供されるメモリーはマイクロプロセッサ・チップに専用である。マイクロプロセッサとそのメモリー積層は構造的に接合されて、一体となったコンピュータ・モジュールを提供する。積層を直接マイクロプロセッサに接合する方法や積層とマイクロプロセッサを基板の反対側に接合する方法を含むいくつかの構造的な組み合わせ例が開示されている。電気的接続は、いくつかの配置、すなわちハンダ用バンパに位置決めされたハンダ用バンパをハンダ付けする方法や露出された端子（４６）の間をワイヤー・ボンド（５２）で接続する方法などにより実施される。構造的な接合は、例えば接着剤やハンダ用バンパを使用するいくつかの方法により実施される。

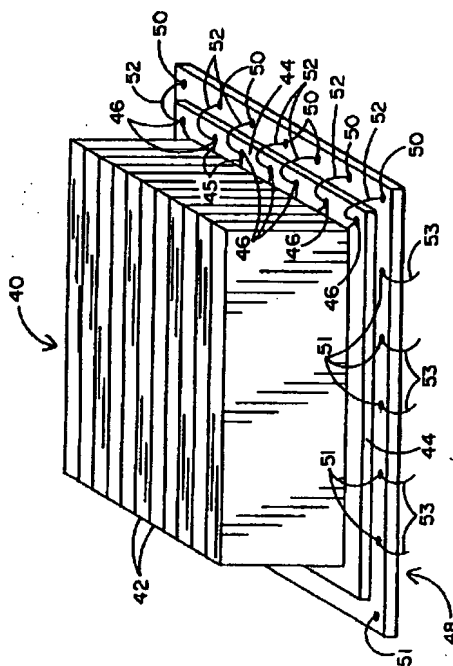


FIG. 3

【特許請求の範囲】

1. コンピュータ回路を含む集積回路マイクロプロセッサ・チップと；

それぞれがコンピュータ・モジュールに専用のメモリー回路を含む互いに接着された集積回路メモリー・チップの積層と；

該マイクロプロセッサ・チップに含まれる該コンピュータ回路へ接続されるメモリー・インターフェイス端子を含む、該マイクロプロセッサ・チップ上に形成された端子と；

間隔をあけた電気リード線のアレイが該メモリー回路からそこに伸びる、平らなアクセス表面をもつメモリー・チップの積層と；

該マイクロプロセッサ・チップ上のそれぞれのメモリー・インターフェイス端子を、該メモリー・チップ積層の該アクセス表面にある該リード線の少なくとも一つへ電氣的に接続するための手段と；

該メモリー・チップ積層と該マイクロプロセッサ・チップとを構造的に組み合わせて一体となったコンピュータ・モジュールを構成する手段と；

を含むコンピュータ・モジュール。

2. 該メモリー・チップ積層を該マイクロプロセッサ・チップに構造的に接合すると同時に、該マイクロプロセッサ・メモリー・インターフェイス端子と該メモリー・チップ積層の該アクセス表面にある該電気リード線との間の電氣的接続を行う、複数のハンダ用バンパを含むことを特徴とする、請求項1に記載のコンピュータ・モジュール。

3. 一方の側がハンダ用バンパによって該メモリー・チップ積層の該アクセス表面へ接続され、他方の側が該マイクロプロセッサ・チップへ接合された、一枚の基板を含むことを特徴とする、請求項2に記載のコンピュータ・モジュール。

4. 該メモリー・チップ積層に接続される側の該基板の端部近くに形成された端子と；

該端子に接続され且つ該端子から、該メモリー・チップ積層の該アクセス表面にある該電気リード線へ電氣的な接続を行うハンダ用バンパへ伸びる間隔をおいた該電気リード線と；

それぞれが該基板上の該端子の一つと該マイクロプロセッサ・チップ上の該メモリー・インターフェイス端子の一つとの間の複数のワイヤー・ボンドと；

を含むことを特徴とする、請求項3に記載のコンピュータ・モジュール。

5. 該マイクロプロセッサ・チップ上に形成される該端子が、該ハンダ用バンパに揃えられ且つ電氣的に接続された端子を含むことを特徴とする、請求項2に記載のコンピュータ・モジュール。

6. 該マイクロプロセッサ・チップ上に形成され、該ハンダ用バンパに揃えられ且つ電氣的に接続された該端子が、該マイクロプロセッサ・チップの唯一のメモリー・インターフェイス端子であることを特徴とする、請求項5に記載のコンピュータ・モジュール。

7. 該ハンダ用バンパに電氣的に接続された該端子から該マイクロプロセッサ・チップ上に形成された分離したメモリー・インターフェイス端子へ伸びる、該マイクロプロセッサ・チップ表面上にある分離した電気リード線を含むことを特徴とする、請求項2に記載のコンピュータ・モジュール。

8. 該積層中にある該メモリー・チップが該マイクロプロセッサ・チップに垂直な面にあることを特徴とする、請求項1に記載のコンピュータ・モジュール。

9. 該積層中にある該メモリー・チップが該マイクロプロセッサ・チップに平行な面にあることを特徴とする、請求項1に記載のコンピュータ・モジュール。

10. 複数の端子をもつ露出した表面を提供する該メモリー・チップ積層の上部層を含み、各端子が該積層の該アクセス表面で間隔を設けて配置された該電気リード線のアレイの一個または複数個に電氣的に接続されることを特徴とする、請求項9に記載のコンピュータ・モジュール。

11. それぞれが該積層の該上部層の上の端子の一つを、該マイクロプロセッサ・チップ上に形成された該メモリー・インターフェイス端子の一つに接続するワイヤー・ボンドを含むことを特徴とする、請求項10に記載のコンピュータ・モジュール。

12. 該マイクロプロセッサ・チップに隣接するメモリー・チップ積層の層であって、表面に端子をもち、それぞれの端子が、該積層の該アクセス表面にある間隔を設けて配置された該電気リード線のアレイの一個または複数個へ電氣的に接

続されている上記の層を含むことを特徴とする、請求項9に記載のコンピュータ・モジュール。

13. 該積層の隣接する層上にある個々の端子を、該マイクロプロセッサ・チップ上にある個々のメモリー・インターフェイス端子へ電氣的に接続するハンダ用バンパを含むことを特徴とする、請求項12に記載のコンピュータ・モジュール。

14. 該マイクロプロセッサ・チップ上の該端子が該積層の隣接する該層の上にある端子と揃えられ、直接そこにハンダ付けされていることを特徴とする、請求項13に記載のコンピュータ・モジュール。

15. 該積層の隣接する該層の上にある該端子へハンダ付けされた該マイクロプロセッサ・チップ上の端子が、該マイクロプロセッサ・チップの唯一の該メモリー・インターフェイス端子であることを特徴とする、請求項14に記載のコンピュータ・モジュール。

16. 該ハンダ用バンパへ電氣的に接続された該端子から該マイクロプロセッサ・チップ上に形成された分離したメモリー・インターフェイス端子へ伸びる、該マイクロプロセッサ・チップ表面上にある分離した電気リード線を含むことを特徴とする、請求項14に記載のコンピュータ・モジュール。

17. 誘電体材料で形成され、それを貫通して伸びる複数の通路をもつ基板と；
該メモリー・チップ積層を該基板の一方の表面へ固定する手段と；
該基板の反対側の表面へ該マイクロプロセッサ・チップを固定する手段と；
該マイクロプロセッサ・チップ上のメモリー・インターフェイス端子から該通路を通して延びて、該端子を別々に、該メモリー・チップ積層の該アクセス表面にある一個または複数の電気リード線へ接続する電気接続と；
を含むことを特徴とする、請求項1に記載のコンピュータ・モジュール。

18. コンピュータ回路を含みそして該コンピュータ回路へ接続された複数の端子をもち、メモリー・インターフェイス端子を含む集積回路マイクロプロセッサ・チップを提供すること；

積層のアクセス表面に伸びる電気リード線をもつ互いに接合された集積回路メモリー・チップの該積層を提供すること；

構造的に一体となったモジュール内で該積層と該マイクロプロセッサ・チップ

とを結合すること；および

該マイクロプロセッサ・チップの該メモリー・インターフェイス端子を該積層のアクセス表面にある該電気リード線に電氣的に接続すること；
を特徴とするコンピュータ・モジュールの製造方法。

19. 電氣的な相互接続と機械的な相互接続との両者を提供する複数のハンダ用バンパによって、該積層が該マイクロプロセッサ・チップへ固定されていることを特徴とする、請求項18に記載する方法。

20. 該電気リード線に対してT接続を形成するような方法で、金属導体が該積層の該アクセス表面に配置され；

該積層の該アクセス表面に位置する金属導体の上にハンダ用バンパが形成され；

該マイクロプロセッサ・チップ上の電気メモリー・インターフェイス端子がハンダ用バンパと並ぶように配置され；そして

該積層と該マイクロプロセッサ・チップが該ハンダ用バンパによって相互接続されていること；

を特徴とする、請求項19に記載の方法。

21. 該マイクロプロセッサ・チップの該集積回路が、該集積コンピュータ・モジュールの中で、利用可能な低い電力と速い速度でその必要な機能を実行するように設計されていることを特徴とする、請求項1に記載のコンピュータ・モジュール。

22. 該メモリー積層の該集積回路が、該集積コンピュータ・モジュールの中で、利用可能な低い電力と速い速度でその必要な機能を実行するように設計されていることを特徴とする、請求項1に記載のコンピュータ・モジュール。

23. 該メモリー積層の該集積回路が、集積コンピュータ・モジュールの中で、利用可能な低い電力と速い速度でその必要な機能を実行するように設計されていることを特徴とする、請求項21に記載のコンピュータ・モジュール。

24. 該マイクロプロセッサ・チップの該集積回路を、該集積コンピュータ・モ

ジュールの中で、利用可能な低い電力と速い速度でその必要な機能を実行するように再設計するステップを含むことを特徴とする、請求項18に記載の方法。

25. 該メモリー積層の該集積回路を、集積コンピュータ・モジュールの中で、利用可能な低い電力と速い速度でその必要な機能を実行するように再設計するステップを含むことを特徴とする、請求項18に記載の方法。

26. 該メモリー積層の該集積回路を、該集積コンピュータ・モジュールの中で、利用可能な低い電力と速い速度でその必要な機能を実行するように再設計するステップを含むことを特徴とする、請求項24に記載の方法。

【発明の詳細な説明】

ICマイクロプロセッサ用で、構造的にICマイクロプロセッサに
組み合わされたICメモリー積層を含むモジュール

発明の背景

本発明は、稠密にエレクトロニクスをパッケージする技術分野に関し、さらに特定すれば、エレクトロニクス信号の伝搬する距離が著しく短縮できるようなパッケージ技術に関する。

本発明のある請求項は、NASA JPLより授与された契約番号NAS 7-1118号による政府援助により行われた発明を含んでいる。したがって、政府はこれらの発明において一定の権利を有する。

本出願の譲受人のいくつかの特許および特許出願は、コンピュータ・システムで使用されるメモリー・モジュールを構成する積層されたIC（積層回路）チップの使用、例えば、特許第4,525,921号、第4,646,128号、第4,706,166号および第5,104,820号、および特許出願第07/884,660号および第07/884,719号に関係する。

本特許出願は、そのようなメモリー・チップの積層が使用されるシステムに関する。メモリー・デバイスは、それが個々のチップであるか、あるいはチップの積層であるかによらず、メモリー回路に接続される信号リード線をもつ基板上に装着されなければならない。また、基板は、一個あるいは複数個のコンピュータ（マイクロプロセッサ）・チップにつながる信号リード線を備えなければならない、それらのメモリーの要件はメモリー・チップによって満たされる。別の言い方をすれば、マイクロプロセッサ・チップは、十分なメモリー機能を含む内部容量をもつものではない。

最新技術のマイクロプロセッサ・システムとして宣伝されているパッケージが、本出願の図1と図2に示されている。それぞれにおいて、複数のメモリー・チップが、一個または複数個のマイクロプロセッサ・チップと共に同じPCボード上にある。

本発明は、図1と図2に示されたシステムと同様に、大量に並列的で、非常に

高度に相互連結されたデータ処理システムへの要求によって、一部は動機づけが行われた。そのようなシステムは、並列に接続された多数のマイクロプロセッサを必要とし、大容量のメモリー・システムを必要とする。本出願の図4には、並列に接続された多くのマイクロプロセッサをもつ構造が、その支持メモリー・システムと共に示されている。全体構造は、今までに開発されてきたどのような組み合わせの1/16インチよりも狭い領域に収納される。

上記に議論した問題を解決する試みとして、研究された第一の方法は、図1と図2に示されているシステムの線に沿ったものであった。セラミック基板上に、複数のマイクロプロセッサ・チップと複数のメモリー・デバイスが、設計し得る最もコンパクトな配置で組合わされた。

研究された第二の方法は、本出願の譲受人により発明された、上記に準じたタイプのチップを積層する技術を使用するものであった。そのような方法では、マイクロプロセッサ・チップおよびメモリー・チップを含む他のチップは、異なるサイズの積層として単一のモジュールに含まれる。

発明の概要

この問題に対する解決法は、ICメモリー・チップの積層を含むモジュールを載せるプレートとして、それぞれのマイクロプロセッサICチップを使用する単純であるがみごとな構想であり、そのメモリー・チップのメモリー機能はマイクロプロセッサICチップ専用のものである。両者が互いに固定されて、集積されたマイクロプロセッサ/メモリーの組合わせを形成する。

たくさんの特定の構成が知られている。メモリー・ICチップのモジュールは“スライスしたパン”積層と呼ばれるタイプのものでもよい。そこではメモリー・チップは、それらが装着されるマイクロプロセッサに対して垂直な面に広がる。あるいはメモリー・ICチップのモジュールは“パンケーキ”積層と呼ばれるタイプのものであってもよい。その場合はメモリー・チップはそれらが装着されるマイクロプロセッサに対して平行な面に広がる。

“スライスしたパン”タイプのメモリー積層であれ、“パンケーキ”のメモリー積層であれ、それらはワイヤー・ボンド接続を使用することにより、またはフ

リップ・チップ接続を使用することにより、集積マイクロプロセッサ・チップに電氣的に接続することができる。フリップ・チップ接続は、それらが電気信号が伝搬する距離を最小限にできるという理由で機能的に好ましい。ワイヤ・ボンダ接続は少なくともある構造では製造を容易にすることができる。

いくつかの例では、リード線に乗せた中間層がマイクロプロセッサ・チップとそのメモリー積層との間に設けられる。あるマイクロプロセッサ・チップは内部メモリー・インターフェイス回路を含み、他のものは、メモリー・チップと同じ積層に含まれることができる別のICチップによって提供されるようなインターフェイス回路を必要とするであろう。

集積マイクロプロセッサ／メモリー積層は大容量の並列な (massively parallel) エレクトロニクス・システムの簡単な製造を可能にし、そこではたくさんのマイクロプロセッサ／メモリー積層が単一の基板上に互いに近接して設けられる。

NASAによる“ボード上にのせられた大容量の並列な情報取り出しシステム”に対する要求は、本発明を動機づけるのに役立ったけれども、新しい概念の価値は多数のマイクロプロセッサを装着したメモリー・チップ積層を含むシステムに制限されるものではなく、例えば「ワークステーション」のような集積マイクロプロセッサ・チップ／メモリー積層構造のあらゆる個別の用途にも広がるものである。

本発明はマイクロプロセッサ／メモリー組合わせの空間容積に対する要求を劇的に減少させるだけではない。それはまた、信号伝搬距離の減少のために桁の大きさの機能的な利点の向上をもたらす。これらの伝搬距離の減少は、小さいキャパシタンス、インダクタンス、システム・ノイズおよび必要な電力を可能にし、そして速度と信頼性を向上させる。更に加えてエレクトロニクス・システムの複雑さとコストが減少する。

図面の簡単な説明

図1は、単一のPCボードに装着されたインテル (Intel) により製造された、iWARPと呼ばれるマイクロプロセッサ・システムを示す等角投影図で

ある。

図2は、単一のPCボードに装着されたnCUBEマイクロプロセッサ・システムを示す等角投影図である。

図3は、本発明の変形例を示す等角投影図で、メモリー・チップ積層が基板上に装着され、その基板がマイクロプロセッサの上に装着されている。

図4は、大容量の並列コンピューター・システムを示す等角投影図で、そこでは大量の図3のモジュールが一個のPCボードの上に装着されている。

図5は、ICチップのメモリー積層の内部からのリード線をメモリー積層のアクセス面の表面の端子に接続するT接続の断面図である。

図6は、基板上へ、またはマイクロプロセッサ・チップ上へ装着する前の“スライスしたパン”タイプのメモリー積層を示す等角投影図である。

図7は、図6のメモリー積層のアクセス面上に形成される金属化層を示す平面図である。

図8は、図7の狭い部分の拡大図で、ハンダ用バンプがバス(buses)およびアクセス面の単一チップ端子上に形成されている。

図9および図10は、図3と同様に、“スライスしたパン”タイプのメモリー積層を示し、該積層はハンダ・バンプによって直接的にマイクロプロセッサ・チップに接続されている。

図11および図12はそれぞれ、マイクロプロセッサとメモリーの間のインターフェイス回路がマイクロプロセッサ内部にある場合と、該回路がメモリー積層に含まれるチップ上にある場合とを示す。

図13は、同じ譲受人の出願番号第07/884,660号に開示されたのと同じ様な“パンケーキ”タイプの積層を示す等角投影図である。

図14は、マイクロプロセッサ上に装着された図13の“パンケーキ”タイプの積層を示し、その積層の上部にある端子はマイクロプロセッサ上のメモリー・インターフェイス端子へワイヤー接続されている。

図15は、マイクロプロセッサ上で“逆さま”に装着され、ハンダ・バンプによってそこに固定された図13および図14の“パンケーキ”タイプの積層を示

す。

図16および図17は、図3に示されたタイプのパッケージされたマイクロプロセッサ／メモリー積層を示し、それは熱分析のためにそのような構造となっている。

図18は、基板が一方の側にマイクロプロセッサを支持し、もう一方の側にメモリー積層を支持したモジュールを示す。

特定の実施例の詳細な説明

図1はiWARPと呼ばれるインテルにより作られた非常に複雑なマイクロプロセッサ／メモリー・アレイを示す。このアレイは三個のマイクロプロセッサ・チップをもち、それぞれがパッケージ20の中にあり、該パッケージは基板(PCボード)22の上に装着され、該基板は又多くのメモリー・ユニット24をのせている。該メモリー・ユニットは基板22上の導体により、マイクロプロセッサ・チップに電氣的に接続され、マイクロプロセッサ・チップにより必要とされるメモリー機能を提供する。図示された完全なiWARPシステムの面積はマイクロプロセッサ・チップの面積の少なくとも5倍である。

図2はnCUBEと呼ばれるもうひとつの高度に複雑なマイクロプロセッサ／メモリー・アレイを示す。マイクロプロセッサ・パッケージ26はマイクロプロセッサ・チップ28を含む。パッケージ26はPCボード30の上に装着され、該PCボードは又、複数のメモリー・ユニット30をのせている。該メモリー・ユニットはPCボード30の上の導体によって電氣的にマイクロプロセッサ・チップ28に接続され、それらはマイクロプロセッサ・チップにより要求されるメモリー機能を提供する。完全なnCUBEの面積はマイクロプロセッサ・チップの面積の少なくとも3-4倍である。

更に参考のために、図2のマイクロプロセッサ・チップ28をより詳細に記述するのが有益である。該図はたくさんの端子33を含むチップ28の上部表面の詳細図を示し、そこで端子33はチップ28の一体となった一部分であり、そしてチップ28のすべての端部に沿って配置されている。端子33の総数は約200個であり得、メモリー・ユニット32へ接続されるそのような端子の数は総数

の約三分の一であり得る。端子33をメモリー・ユニットおよび他の外部回路へ接続するために、二つの棚 (shelves) 34と35がマイクロプロセッサ・チップを取り囲み、端子33にワイヤー接続される端子36を提供している。マイクロプロセッサ・パッケージ26全体がセラミック製フレームにのせられ、該フレームはPCボード30上のソケットに差し込まれた金属製ピン38によって支持されている。フレーム37の上部に作られ、マイクロプロセッサ・チップ28と棚34および35を取り囲む金属製のバンド39はマイクロプロセッサを隙間なくシールする手段として使用されている。カバー (図示されていない) は金属製バンドとかみあわさり、金属製バンド39にハンダづけされてマイクロプロセッサ・パッケージをシールする。

図1及び2の寸法は非常に小さいように見えるが、PCボードの配置は、それぞれのマイクロプロセッサとメモリー・チップの間を行き来する信号が、エレクトロニクス処理効率の観点からは非常に長く、且つ望ましくないくらい長くなるような配置である。マイクロプロセッサ-メモリー間の信号が伝搬するリード線の長さは、複雑さやコストに不利益となる影響を与えるだけではない。もっと重要なことは、信号の伝搬距離が長いということは、キャパシタンス、インダクタンス、システム・ノイズ、電力消費、スピードおよび信頼性に悪影響を与えることである。

上記に強調されたNASA計画の一つの見地は、図1に示されたタイプのiWARPシステムに固有の限界を取り除く要求である。単一のiWARPマイクロプロセッサは、一秒間に360万回の接続が可能であるとされている。図1に示されたタイプのiWARPボードでは、それぞれのマイクロプロセッサは、24メガバイトのメモリーをアドレスする能力がある。システムには付加キャパシタンスがあるので、これが使用可能な最大のメモリー数である。

本発明に導いた開発の目的は、それぞれのマイクロプロセッサが少なくとも64メガバイトのメモリーをアドレス出来るようにすることである。同時に、システムの容積及び重量の大幅な削減を実現することが望まれた。

本発明により提案された問題解決法は、メモリー・チップの積層を、メモリーが使用されるマイクロプロセッサの上に乗せることにより、それぞれのマイクロ

プロセッサとメモリーを一体化することである。この方法が機能するためには、メモリー積層は、効果的にそのマイクロプロセッサに役立たなければならない。又、マイクロプロセッサ自身が、マイクロプロセッサとそのメモリーとの間のエレクトロニクス・インターフェースとして機能する回路を含むか、あるいは、チップが、マイクロプロセッサ／メモリーの一体構造の中に含まれて、エレクトロニクス・インターフェースとして機能するようにしなければならない。

図3および4は、非常に一般的な方法で、多数のマイクロプロセッサを含み、それぞれがシステムにおいてノードとして機能する、大容量の並列のプロセッサシステムを提供するというNASAの問題への出願人の提案する解決法を図示している。この解決法は、それぞれのマイクロプロセッサの“足跡 (foot print)” に、メモリーICチップの積層を置くことにより、すなわち、それぞれのメモリー積層を、それに付随するマイクロプロセッサの上に乗せそして該マイクロプロセッサに接続することにより実現される。メモリー積層とマイクロプロセッサの組み合わせは、ハンダ接続または接着の方法により互いに固定される。

図3は、メモリー積層／マイクロプロセッサの組み合わせの一変形例を示し、それは容易に手に入る部品を使用しており、製造が特に簡単である。接着されたシリコンICメモリー・チップ42の積層40が、前述の共通の出願人の特許に説明された技術を使用して、別々に製作される。図3の见えていない下面にあるメモリー積層のアクセス表面には、多数のハンダ用のバンプが形成され、それぞれがアクセス平面に形成された端子および／またはバスの上に装着される。

別の基板層44は、基板44の端部近くに位置する端子46から、積層40のアクセス平面の下に位置する基板44の上の端子まで延びる電気線45をもつように作られ、該基板上のそれぞれの端子は積層40のアクセス平面上の反対側の端子と整合するように作られる。該積層と該基板は、フリップ・チップ接合で接続され、また、所望により、1992年10月2日に出願された同じ譲受人による出願第955, 461号に説明された新しいハンダ接合技術により接合される。その面積がメモリー積層40の面積よりもわずかに広い基板44は、絶縁材料で覆われたシリコン材料で形成されるか、または、窒化アルミニウムのようなセ

ラ

ミック絶縁材料で形成される。窒化アルミニウムは望ましいセラミックである。その理由は、それが効果的な熱伝導体であり、シリコンに近い熱膨張係数をもつからである。

次に、基板／メモリー積層組立体がマイクロプロセッサ・チップ48に接着される。マイクロプロセッサの内部IC回路に電気的アクセスをするために、マイクロプロセッサにあらかじめ形成された、メモリー・インターフェース端子50（図2の端子33のいくつかに対応する）を使用して、基板44の上の端子46が、マイクロプロセッサ上の適切な端子50にワイヤー接続（ワイヤー52による接続）される。マイクロプロセッサ・チップ48上の端子の総数は、前に述べたように、200にのぼり、その約1/3は基板44を通じてメモリー積層40に接続されている。マイクロプロセッサ・チップ上の他の端子51は、ワイヤー接合53によって、システムの外部に接続されている。

図4は、図3に示される完全なモジュールを大量に装備した、大容量並列プロセッサ・アレイを図示する。図4のそれぞれのモジュール54は、図3に示される全装置を含む。大きなシステムに対する本発明の非常な利点の例として、図4は、その面積が15cm×15cmであるPCボード56に、64個のモジュール54を装着することができることを例示する。マイクロプロセッサの“足跡”内に、それぞれのマイクロプロセッサ用のICメモリー・チップの全てを一体化することは、単一の回路ボード上に配置することのできるプロセス・ノードの数を10-20倍に増加させることを可能にする。したがって、多数の回路ボードをシステムから取り除くことができ、速度向上や電力の削減の点で多大な利益をもたらすことができる。サイズや重量の削減によって得られる10倍以上の改善のみならず、処理能力と速度の向上は、予期された利益をはるかに凌駕するものである。

メモリー・チップ積層42とマイクロプロセッサ・チップ48の間に図3の基板44を使用することは、前述したように、製作を単純化するという観点からの幾つかの利益がある。マイクロプロセッサ・チップの端部に並んだ多数のメモリ

ー・インターフェース端子50は、マイクロプロセッサ・チップの供給者により提供される通常の位置にあり、すなわち、マイクロプロセッサ・チップの製造過程における変更が必要でない。さらに、ワイヤー接合52の使用は、マイクロプロセッサ・チップ上のメモリー・インターフェース端子50を、基板44上の端子46に電気接続する特に単純な方法である。

しかし、信号伝搬距離の著しい削減は、基板44を削除し、メモリー・チップ積層40の底部にあるハンダ用バンプを直接マイクロプロセッサ・チップ48の上部表面に形成されたハンダ用バンプと整合させてフリップ・チップ接合することにより実現できる。性能の観点からはそれが理想的な配置である。

それぞれのメモリー・チップとマイクロプロセッサ・チップにあるリード線の間を伝搬する信号が通る経路を詳細に説明することは有益である。同じ譲受人による特許出願第884,719号からとられた図5は、メモリー・チップ積層のアクセス面に形成されたたくさんのTコネクタの一つを示す。チップ62内のIC回路からのびる電気リード線60はアクセス面64の表面に届き、そこで金属化された層66、それは端子パッドまたはバス、またはパッドとバスとの組み合わせであるが、その層に接合されている。T接続（リード線60と端子66）は効果的でかつ信頼できる電気接続を提供する。不動態化層68がチップ62のアクセス面の表面と金属化層66の間にある。これはチップのシリコン半導体材料が短絡するのを防ぐのに必要である。接着剤の層70が隣接するチップ62を固定する。それぞれのチップ62のそれぞれ平らな表面には絶縁材料（図では見られない）が設けられている。前記の同じ譲受人による前記の特許は、（a）積層するためのチップの製造、（b）チップを積層の中にチップを保持する接着剤をもつ積層に形成すること、および（c）外部回路との電氣的な連絡を行えるように、積層のアクセス面の金属化を準備すること、について取り扱っている。。所望により、チップの積層は外部回路に接続された一つ以上のアクセス面をもつことができる。

図6はICメモリー・チップ62の完成した積層72を示す。図6では見えないアクセス面64はその詳細が図7と8に示されている。アクセス面にある非常

にたくさんの金属化パターンがこれらの図に示されている。複数のバス74が分離したICチップの積層全体を横切っている。そのバスは検索される情報のメモリー・アドレスを伝達する。あるバスへ、またはあるバスから伝達される信号は

メモリー・チップ62のそれぞれにあるリード線60（図5）に沿って流れて行く。積層全体を横断するバス74に加えて、積層にあるそれぞれのチップは、一個のチップだけに接続される少なくとも一個の端子76をもつ。図7ではそのような単一チップ端子の二つのセットが示されており、一方のセットは図の左側にある。もう一方のセットは図の右側にある。個々のチップ端子76の一つのセットは“チップ・イネーブル”接続で、それはメモリー・チップ62の選択された一個にだけ出力が現れるようにする。個々のチップ端子76のもう一つのセットは“データ・ライン”接続として使用され得、データ伝達を行うために適切なチップ62と接続する。図7の端子76は図5のT接続端子66と同じであることに注意されたい。同様のT接続端子が図7のバス74のそれぞれの下に配置され、そのような端子の一個はそれぞれのICメモリー・チップ62のリード線を配置した表面に位置する。

図8は図7の小さな部分の拡大図である。それはメモリー・チップ積層72のアクセス面に形成された複数のハンダ用バンブ80を示す。ハンダ用バンブ80はそれぞれの端子76上に形成される。また多数のハンダ用バンブ80がそれぞれのバンブ74上に形成される。バス74上に形成されたハンダ用バンブ80の大部分は電気接続としては不必要である。しかしそれらはメモリー積層72とその基板との間の機械的相互連結を行うために使用される。

図3と同様の図9および10では、メモリー積層とマイクロプロセッサ・チップとの間の基板が削除されている（図3の基板44）。図9および10双方の構造では、図3の構造に比べて集積されたマイクロプロセッサ／メモリー積層の信号伝達効率が增強されている。図9および10の双方では、メモリー積層は直接マイクロプロセッサ・チップにハンダ付けされている。図9では、マイクロプロセッサ・チップ上で端部に位置するメモリー・インターフェイス端子から、メモ

リー・チップ積層のアクセス面上にあるハンダ用バンブ80へハンダ付けされた適切な端子へ信号を送るために信号通路用金属化が使用される。図10ではマイクロプロセッサ・チップ上のメモリー・インターフェイス端子の位置がマイクロプロセッサの設計時に変更され、それらをメモリー積層のアクセス面にあるハンダ用バンブに予め揃うように位置決めする。図8にあるように、ハンダ用接続の

延長部がマイクロプロセッサ・チップの表面に付けられ、必要な機械接続強度を提供する。

図9は、図8に示されるように、メモリー積層のアクセス面上に形成されたハンダ用バンブの手段によってマイクロプロセッサ・チップ48aに直接固定されたメモリー積層40aを示す。並んだハンダ用バンブまたは端子（図示されていない）が、マイクロプロセッサ・チップ48aの上部表面に形成される。前に説明したように、いくつかのハンダ用バンブ接合はメモリー積層40aとマイクロプロセッサ・チップ48aとの間の機械的接続を強化するためにだけ使用される。図9では、マイクロプロセッサ・チップ48aの変化は、図3の構造に比べて最小限である。同じメモリー・インターフェイス端子50aが設けられ、マイクロプロセッサ・チップの端部に沿って配置される。メモリーに付随しない端子51aはワイヤー接合53aにより外部回路へ接続される。メモリー積層とインターフェイスする端子50aは、図3に見られるようにワイヤー接合ではなく、メモリー積層のアクセス面上にある対応する端子（ハンダ用バンブ）と位置合わせされた適切な端子（図示されていない）に直接、トレース（trace）45aに接続されている。図3における基板層44の削除およびワイヤー接合52の削除は、マイクロプロセッサ・チップとメモリー積層との間の電気信号の伝搬距離の減少をもたらす。

マイクロプロセッサ・チップとメモリー積層との間の電気信号の伝搬距離のさらなる削減は、図10に示される構造により実現することができる。マイクロプロセッサ・チップ48bは、そのメモリー・インターフェイス端子がメモリー積層40bのアクセス面上の適切な端子と整列して位置するように設計されている。マイクロプロセッサ・チップの端部にある端子51bはワイヤー接合53bに

よって外部回路へ接続されるためだけに使用される。端子51bのいずれもメモリー積層へ接続されないので図9にあるトレース45aと同じようなトレースは必要でない。図9の構造と同様に、メモリー積層40bを直接マイクロプロセッサ・チップ48bへ固定するために、図10の構造でもハンダ用バンブが使用される。図7および8に示されるバス74、端子76およびハンダ用バンブ80の配置は、図3、9および10に示された三つのメモリー積層／マイクロプロセッサ・チップ

の組み合わせのそれぞれと同じであってもよい。

いままでの記述では、メモリー・インターフェイスがマイクロプロセッサ回路の一部分であると仮定してきた。しかしインターフェイス回路がマイクロプロセッサの一部でないようないくつかの場合には、それは別のICチップにより供給され得る。そのようなインターフェイス・チップはメモリー・チップの積層の中に含まれるべきである。図11および12は二つのインターフェイスのオプションを模式的に例示する。図11では、マイクロプロセッサ・チップ82の回路は、メモリー積層86に電氣的に接続されたメモリー・インターフェイス部分84を含む。図12では、マイクロプロセッサ・チップ82aはメモリー・インターフェイス回路を含まない。代わりにそのチップが点線86aにより囲まれたメモリー積層は、積層されたメモリー・チップ85aの一つとしてメモリー・インターフェイスASICチップ84a（特定の応用のための集積回路）を含む。

図3、9および10に示された“スライスしたパン”のタイプのメモリー・チップ積層は積層の中に多数のチップがあることにより、ある与えられたマイクロプロセッサ・チップ上に装着可能な最大のメモリー容量を提供することができる。しかしながら、少数の積層メモリー・チップで十分な場合とか、“パンケーキ”タイプの積層が望ましいとかの、多くの状況があるであろう。図13は、いくつかのアクティブICチップ層92に加えて、その目的がメモリー積層90をそのマイクロプロセッサ・チップに接続するために使用される容易にアクセス可能な端子96を提供することである、アクティブでない上部層94を含む“パンケーキ”タイプの積層90を示す。同じ譲受人の出願番号第07-884, 660

号に記述されたように、上部層94は窒化アルミニウムのような誘電（セラミック）材料で形成されるのが望ましい。メモリー積層90はアクセス面98をもち、その上にバス100と個別端子102が形成され、アクセス面へ伸びるチップ92上のリード線をもつT接続を提供する。そのアクセス面64が図7に示されている“スライスしたパン”タイプの積層の場合と同じように、図13ではバス100がICチップの全積層を横切って延び、それぞれの端子102は単一ICチップ上のT接続の一部である。

前のパラグラフで指定された同じ譲受人の出願では、バス100と端子102

から積層90の上部にある適切な端子96への電気接続が詳細に記述されている。層94の下に形成された金属トレースは、アクセス面にあるT接続から層94に形成された穴へ延びる。それぞれの穴を通して延びる金属が外側端子96の一つへ接続する。

図14はマイクロプロセッサ・チップ104の上部に設けられた“パンケーキ”タイプの積層90を示す。積層90はその間に絶縁材の層を挟んでマイクロプロセッサ104へ接着されている。マイクロプロセッサ・チップの端部に沿って多数の端子がある。端子106はメモリー・インターフェイス端子で、それらはワイヤー接続108により、対応するメモリー積層端子96へ接続されている。端子110はワイヤー接続112により、外部回路に接続されている。この構造は、図3の構造と同様に、既存の部品に基づいて最も簡単に製造できる。しかし、より高速の信号通信の利点は、メモリー積層とマイクロプロセッサ・チップとの間のワイヤー接合をなくすことにより、実現することができる。

図15は、どのようにしてメモリー積層の上の端子とマイクロプロセッサ・チップの上の端子とを直接ハンダ付けすることができるかを示す。メモリー積層90は図13および14と比較して上下逆さに回転されている。メモリー積層90上の端子96aは、マイクロプロセッサ・チップ104a上に形成されたメモリー・インターフェイス端子106aと重なり合うように並べられている。ハンダ用パンブが対面する表面の一方または両方に形成され、並んだ端子は、ハンダを流れさせそして再凝固させることにより、互いにしっかりと接続される。

例えば、メモリー積層90上の端子をマイクロプロセッサ・チップ104a上の端子へ直接ハンダ付けすることは、図9および10に記述され、議論されたのと同じオプションを提供する。マイクロプロセッサ・チップ上の元々は端部に配置されたメモリー・インターフェイス端子は、金属トレースによって、適切なハンダされた端子106aへ接続することができる。あるいはマイクロプロセッサ・チップ104aはそのメモリー・インターフェイス端子が端子106aの位置にあるように再設計することもできる。後者の配置はマイクロプロセッサ・チップとそれに専用のメモリー・チップ積層との間の伝達速度を増す点で最大の利点を提供する。

様々な理由により、少ない数のメモリー・チップにもかかわらず、“スライスしたパン”タイプの積層よりも“パンケーキ”タイプの積層の使用を指令することがある。ある場合には“上方空間 (head room)”が一つの要因である。他の場合には、“パンケーキ”タイプの積層のメモリー容量がその付随するマイクロプロセッサ・チップの要求と合致し得る。もう一つの可能性は、積層を“キャッシュ (cache)”メモリー、すなわちマイクロプロセッサに非常に近くに位置してマイクロプロセッサによって最も頻繁に使用されるメモリー・データを収納する超高速メモリー、として使用することである。マイクロプロセッサが第一にデータを得るために、または次の命令を得るためにメモリーへ行こうとするときには、それはまず、そのローカルなキャッシュ・メモリーをみる。なぜならば、それは非常に高速で行うことができるからである。より大量のメモリーはより遅く、従って、マイクロプロセッサがなにかを探す時には、それはまず一番にキャッシュ・メモリーを覗き、そしてもし情報がそこにあれば、それが使用される。もしそこになければ、いわゆる“キャッシュ・ミス”の場合には、マイクロプロセッサは主メモリーへ行つてその情報を持ってくるのに必要な余計な時間がかかる。同時にそれは、そのキャッシュ・メモリーへ情報のコピーを入れるので、それが次に必要になった時に使用できる。理論上は大部分のメモリー・アクセスはローカル (局所的) であるということである。ある項目がアクセスされる場合には、しばしば再びアクセスされやすい。別の言葉で言えば、データが

何回も見られる必要がある小さなループがある。キャッシュ・メモリーの基本的な概念は、メモリーの速度の点での階層性の概念である。

本出願で開示されたように、専用のまたはローカルなメモリーの使用は、いくつかのマイクロプロセッサが単一のメモリーを共有する可能性をなくす。しかし、それにより得られる利点に比べれば、それは小さな犠牲である。しかしながら、あるいくつかの点についての関心は払われなければならない。

思いつく第一の問題は熱損失（熱消散）である。今までに示された構造では、メモリー積層に発生した熱はマイクロプロセッサを通して伝わる。図16および17は、“最悪の場合”のシナリオをテストするために使用される熱分析構造体を図示する。そのようなシナリオの熱分析は、NASAが開発した熱分析ソフト

ウェア・シミュレーションであるSINDAモデルを使ったシミュレーションにより実行された。

図3の配置に基づく図16では、メモリー積層120が、ハンダ用バンパ122によりシリコン・ワイヤリング基板124に固定されている。基板124はマイクロプロセッサ・チップ126に接着され、チップはパッケージ容器130の床128に接着されている。図17では、パッケージ全体がヒート・シンク132に装着されている。

SINDA分析では、モデルは、メモリー・チップ積層がシリコン基板にハンダ・バンパでハンダ付けされ、それが図16および17に示されるように、iWarpマイクロプロセッサ・チップに直接装着された。iWarpマイクロプロセッサ・チップは、3Dパッケージでは温度の上昇が期待される。その温度上昇は10℃と見積もられる。この熱モデルのために、メモリー積層が、それぞれ一辺が0.5インチの四角形の92個のメモリー・チップで構成されると仮定した。これらのうちで80個のメモリー・チップがアクティブであると仮定し、一方積層のそれぞれの端の6個がインアクティブであると仮定した。アクティブなチップとインアクティブなチップは同じものであるが、ただし、インアクティブなチップは熱を消散しない。シリコン基板は0.8インチ平方と仮定され、マイクロプロセッサ・ダイは1.0インチ平方と仮定された。メモリー・チップは6ミ

ル厚のシリコンと仮定され、基板とマイクロプロセッサ・チップの基底はシリコン20ミル厚に薄くされている。メモリー・チップは、2メモリー・チップ毎に27バンプを使用して基板に接着され、27バンプのうちで25バンプは5ミル平方であり、残り2バンプは10×5ミルの長方形である。無限の熱シンクがプロセッサ・チップの下にあると仮定され、それは35℃に保たれている。ハンダ用バンプ、シリコン基板、および該基板をマイクロプロセッサ・チップに固定するために使用されたエポキシを含む全ての材料に対して適切な熱伝導値が仮定された。

テスト結果は、熱シンク温度35℃に対して、最高のメモリー・チップ温度は、典型的なメモリー・ダイに対して75℃と85℃の間になることを示した。消費電力はプロセッサ・チップとメモリー積層との合計である。最新のチップでは、

メモリー積層の電力消費はデータ・ワード幅とメモリー・アーキテクチャーにより決まるアクティブな消費電力により支配される。典型的なiWarpメモリーは、同時に10チップがアクティブとなると仮定すると、7.5ワットを消費し、同時に作動するマイクロプロセッサ自身の7ワットを加えて合計で約15ワットになる。一方、AMT DAPデバイスは350ミリワットの遅いSRAMまたは消費電力の小さいDRAMを使用することができる。75ビット・ワードで、9チップがオンになると3ワットを消費し、プロセッサの1.5ワットと合わせてもパッケージあたり5ワット以下となる。

前記の例はNASA SOBIECプログラムで要求される非常に高性能なものに基づいている。そのほかの場合は、もっと低い消費電力で、もっと小さな熱損失である。さらに、メモリー積層は、3Dパッケージに特有の低いインダクタンスとキャパシタンスをもつ。低いインダクタンスのために、リングングによるノイズは非常に低いので、メモリー・チップはより低い電圧で動作し、それによって消費電力が減少する。

加えて、本出願で開示されたマイクロプロセッサ/メモリー積層の組み合わせは、信号伝搬距離を非常に顕著に減少させるので、メモリー動作に対する消費電

力が大幅に削減される。典型的には、メモリーは5ボルトで動作する。それらは3ボルト、または2ボルト、または1ボルトまでも下げることができる。消費電力はその電圧値の2乗で変化する。したがって、電圧が2分の1となると、消費電力は4分の1となる。そして消費電力の減少は、消散する熱の減少をもたらす。システムで消費電力の要求を少なくすることは、速度を増すか、または消費電力を減らすか、または両方の利点のある組み合わせを実現するために使われる。

寸法に対する考慮もまた本発明に関連する。殆どの場合、マイクロプロセッサ・チップの面積はメモリー積層を載せるスペースを与えるに十分に大きい。iWARPマイクロプロセッサ・チップ(図1)は約550ミル平方である。nCUBEMマイクロプロセッサ・チップ(図2)は僅かに小さい。

各メモリー・チップは1/2インチ×1/4インチである。一方向の寸法を大きくとる理由は、特許第5,104,820号に開示されたように、チップのリード線を導き直して全てのリード線を同じ端部へもってくるためである。この再導

きは、ダイスが単一のウェハの一部であるときに実行される。チップを積層するプロセスの前にウェハから切り出されたそれぞれの単一チップは、その横幅が深さに比べて約2倍である。この関係は、“スライスしたパン”タイプの積層(図3、6、および9)でも、“パンケーキ”タイプの積層(図13、14、および15)でも、明らかである。既存のウェハから製作されるメモリー積層は、引き続き実験や改良の対象であるので、その幅寸法は減少する傾向、例えば400ミルに減少する傾向にある。チップ積層の周りに必要な縁の幅は10ミル位まで狭くできるので、マイクロプロセッサ・チップにメモリーを載せる上での寸法的な問題は一般的にない。

しかし、もし積層寸法がマイクロプロセッサの面積寸法よりも大きければ、この問題の解決法は、メモリー積層かマイクロプロセッサのどちらかよりも大きな面積の中間基板を使用することである。図18は、基板140をもつモジュールを示し、中間基板は、基板の一方に取り付けられたマイクロプロセッサと、基板のもう一方の側に取り付けられた“スライスしたパン”タイプのメモリー積層1

44の双方に固定されている。穴または通路が基板140を貫通して伸び、そこを通過して金属リード線が、マイクロプロセッサ上の端子とメモリー積層のアクセス面にある端子とを電氣的に接続する。基板を貫通して通路をあけ、リード線を伸ばす必要から、誘電体でカバーされたシリコン基板に比べて、窒化アルミニウムのような誘電体が望ましい。

上に述べたように、メモリー・チップ積層がメモリーにより支援されるマイクロプロセッサ・チップに固定されたモジュールを提供するという概念は、最小のスペースで複数のコンピュータ機能を結合するという問題に対する答えを探すことから得られた。さまざまな可能な組み合わせが考えられては捨てられた。本発明に開示された概念が浮かんだとき、起こり得る問題点の解析がされ、その実現可能性を決めるためのテストが実行された。ただ実現可能性が確立されたのみならず、予期されたものをはるかに凌駕する利点が経験された。

同じパッケージでプロセッサの上部にメモリーを置くことは、ラインの長さを最短にし、ワイヤリング／接続点の数を最小にし、プロセッサとメモリーとの間のインダクタンスとキャパシタンスを最小にする。このことは特に望ましい実施

例では真実で、そこでは、積層はプロセッサ・ダイにバンプ接合され、ワイヤー接合またはTABトレースとボンド接点が増える。この稠密化から結果として得られるいくつかの肯定的な効果がある。

(a) 信号伝搬速度が、より短いライン長さと最小のライン・キャパシタンスのために、最大化される（すなわち伝搬遅れが最小化される）。

(b) ライン・インダクタンスの最小化、従ってリングングや反射の最小化の結果として、可能な信号周波数が増加する（トランスミッジョン・ライン効果）。

(c) ライン・キャパシタンスが最小となるために電力使用量が減少する。充電するライン・キャパシタンスが小さいので電流が少なく、従って充電に必要な電力が少なくなる。

(d) 消費電力が減少し、相互接続接合部が少なくなるので、信頼性が増す。現在のエレクトロニクス技術で信頼性のなさの第一の原因は、ボンドやその他の

接続接合部の不良によるものである。これらの接合部の大部分をなくすることにより、信頼性が飛躍的に向上する。第二の最も可能性のある欠陥の原因は、電力消費とその結果としての熱応力によるものである。部品（すなわちバッファ・ドライバー）の最も消費電力の多い、それがまたICで最も欠陥の起きる点であるが、その部分で消散される電力を最小とすることにより、部品とシステムの両方での信頼性が飛躍的に改善される。

もしプロセッサとメモリICがプロセッサ上に乗せられた3D IC積層を使うことによる利点を利用するように設計されるならば、さらに付加的な好影響／利点が可能である。新しい設計は、新しい、小さい、消費電力の少ない高速のI/Oバッファ・ドライバーと内部回路を使用する。これは新しいI/Oバッファ・ドライバーの設計と新しい低電圧で低消費電力のデジタル・ロジック・ファミリーを必要とする。これによる好結果の理由としては以下のものが含まれる。

減少したライン・キャパシタンスは、プロセッサとメモリI/Oバッファ・ドライバーの作動レベルを下げる結果となる。

I/Oの作動電圧を下げることは、I/Oノイズ・レベルを下げる結果となり、信号とノイズの比を改善する。電流サージが減少することは（減少したI/Oドライバー・レベルのために）“グラウンドの揺れ”の影響を減少させる。

同じパッケージの中で物理的に近くにICを配置することは、IC間の温度勾配を低くする結果となり、こうして熱的に誘起されるしきい値電圧とICの間の信号レベルの差を最小にする。

同様に、近くにあるために、VCCとIC間のグラウンド電圧とが最小となる。

。 少なくなったノイズ、少なくなったグラウンドのはね返り、少なくなった温度と電圧の変化（differentials）は信号対ノイズの比を大きくする。

。 改善された信号とノイズの比は10信号の振れ（電圧と電流の双方）を少なくすることを可能にし、さらにこのノイズの源を減少させ、信号の変化時間を減少させる。

同様に、ノイズ環境を減らすことはチップ上の動作電圧および／または電流（すなわちチップの信号の振れ）を減らすことを可能にする。これはチップの電力消費／熱消散を減らし、信号速度（変化時間と伝搬の遅れ）を改善する。

消費電力と信号の振れのこれらの削減のすべての結果として、チップ速度の増大とチップ間の信号伝搬時間の減少の双方の点で改善されたプロセッサが得られ、減少した消費電力／熱損失の結果、改善された信頼性が得られ、従って接合点の温度が下がり、そして半導体の応力レベルが下がる。そして熱的な配置が改善される。すなわち取り除くべき熱が少ないという事実から、熱の除去が容易になる。

システムのレベルでは、これはより高いスループットをもたらし、少ない部品で良い結果となる（より多くの回路を一枚のボードに乗せることができる）。この稠密化は、少ないボード、小さなバックプレーン、少ないケーブル、そして少ないバス・ドライバーとバス・インターフェイス IC、少ない物理的な構造、少ない熱を処理するための装置、そして少ない電源／環境設備の装置という結果をもたらす。最終的な結果は、安いコストでの高い性能をもたらすことである。この方法の利益はどんな計算機システムにも応用できるが、その効果が最も強く感じられるいくつかのシステムがある。それらはポータブルで手にもつシステム、スペース関係のシステム、航空関係のシステム、高い信頼性をもつシステム、医学装置、特にポータブルで信頼性の高い移植システム、ロボット（ロボット自身の上にエレクトロニクスを装備する必要がある場合）、着用システム（衣類やスーツやヘルメットの中にまたはその上に装着されたコンピュータやエレクトロニ

クス）に応用できる。

今までの記述から本出願で開示された構造と方法は本使用の導入部分およびまとめの部分にまとめられている非常に顕著な機能的利点をもたらすであろうことは明らかである。

以下の請求項は開示された特定の実施例を含むだけではなく、従来の技術により許された最大の幅と広い範囲でここに説明された新しい概念を含むように意図

するものである。

【図1】

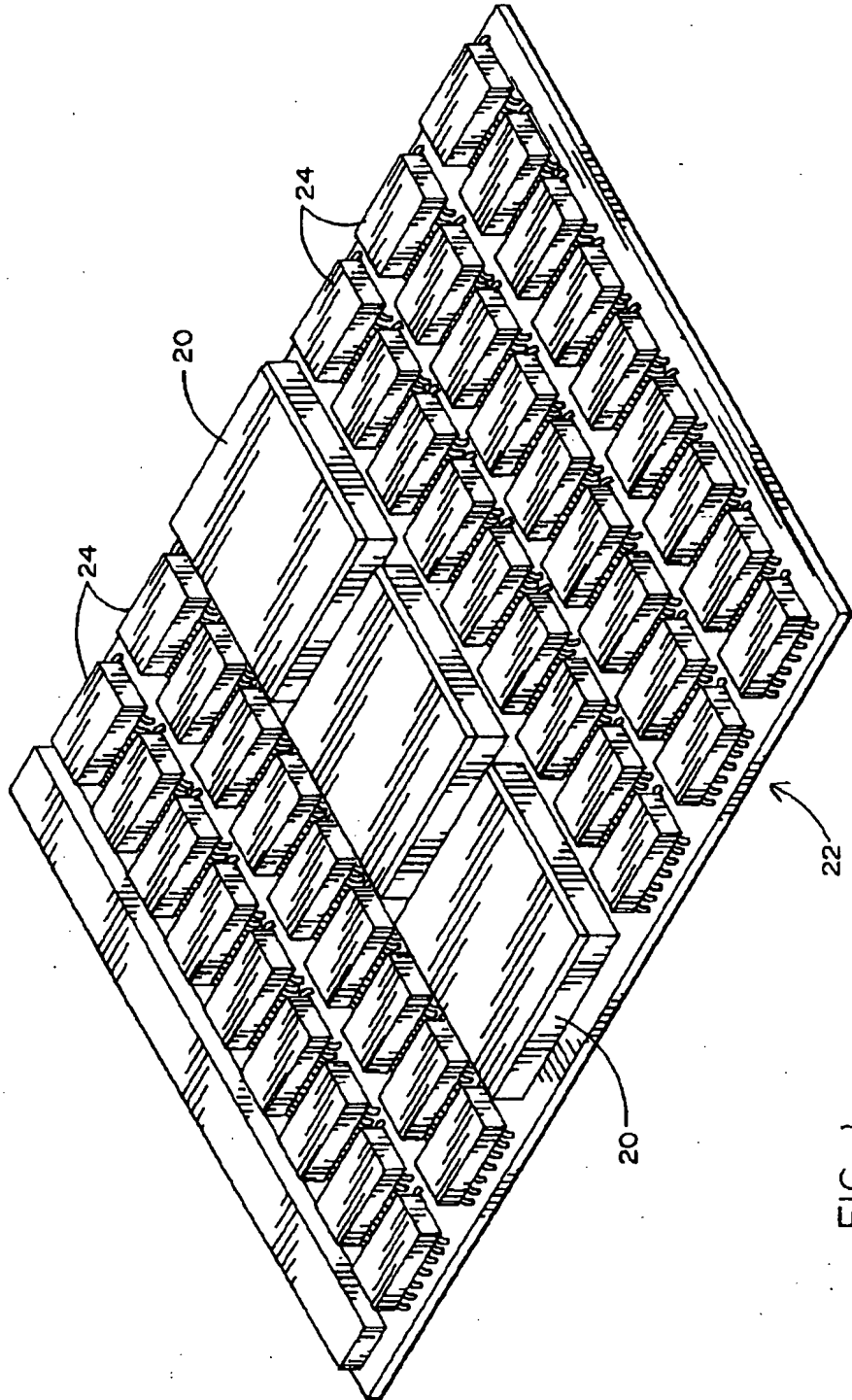


FIG. 1

【図2】

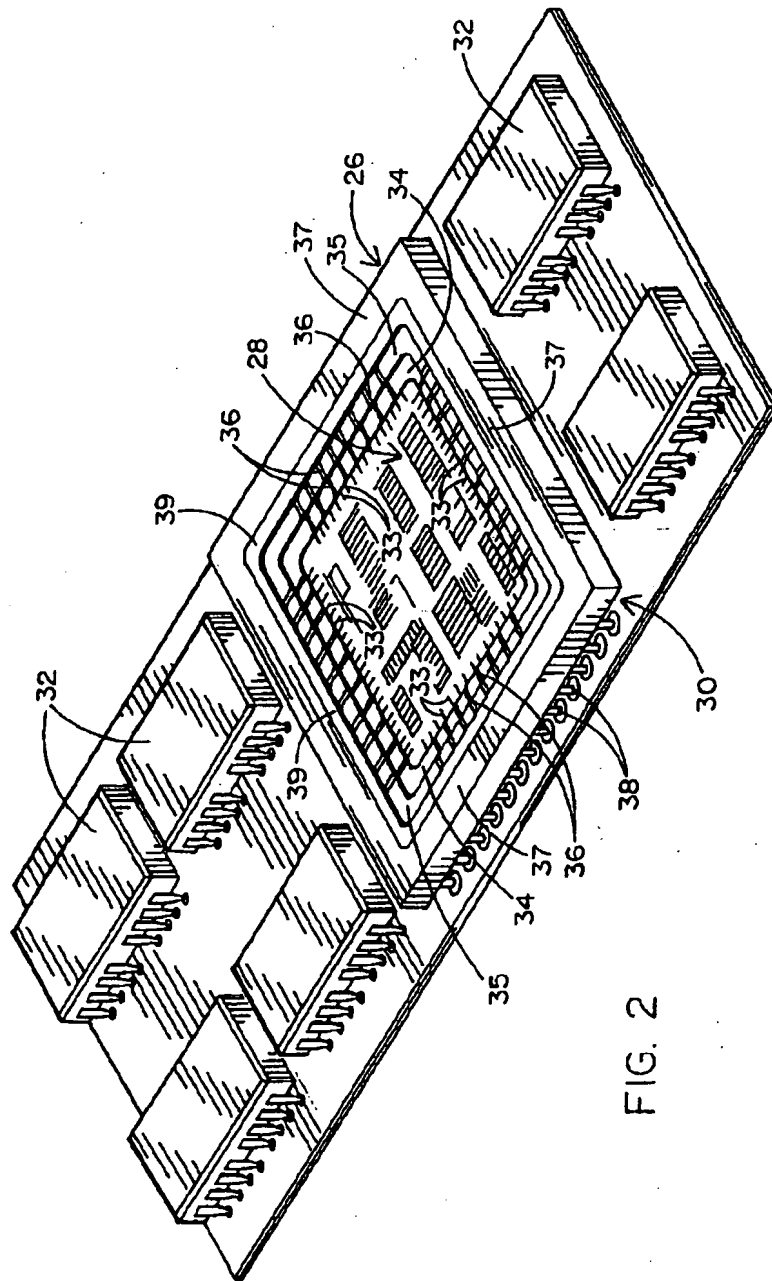


FIG. 2

【図3】

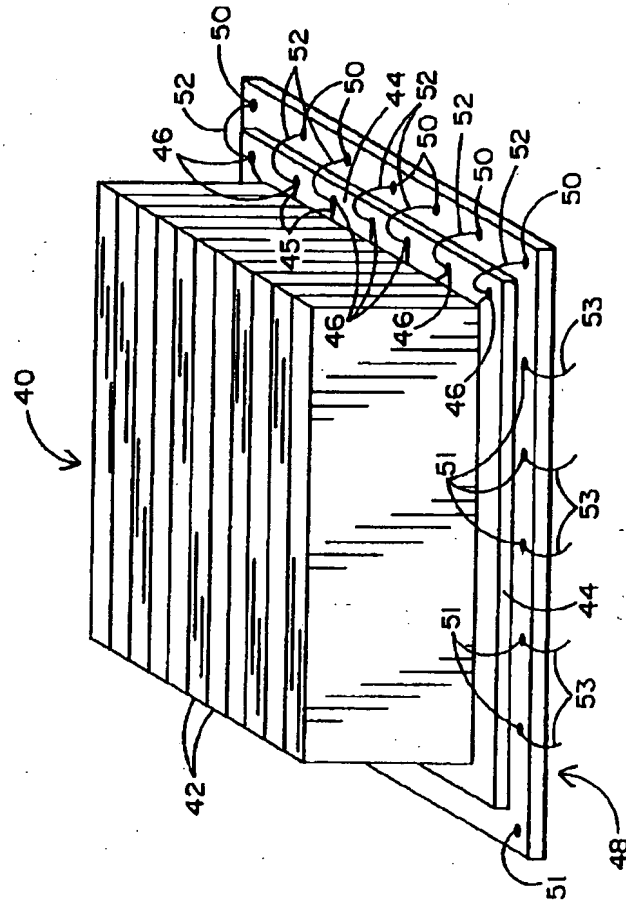


FIG. 3

【図5】

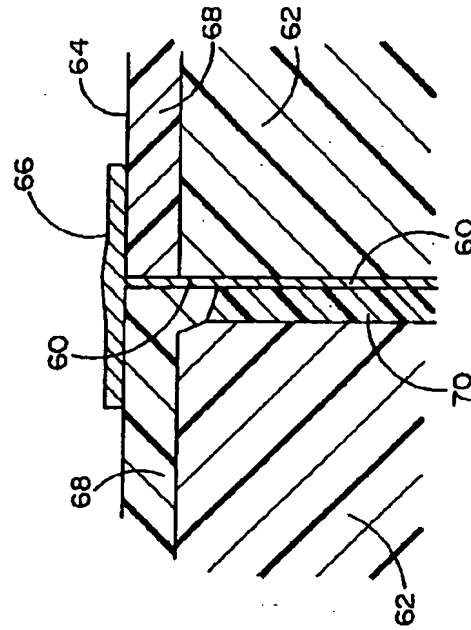


FIG. 5

【図4】

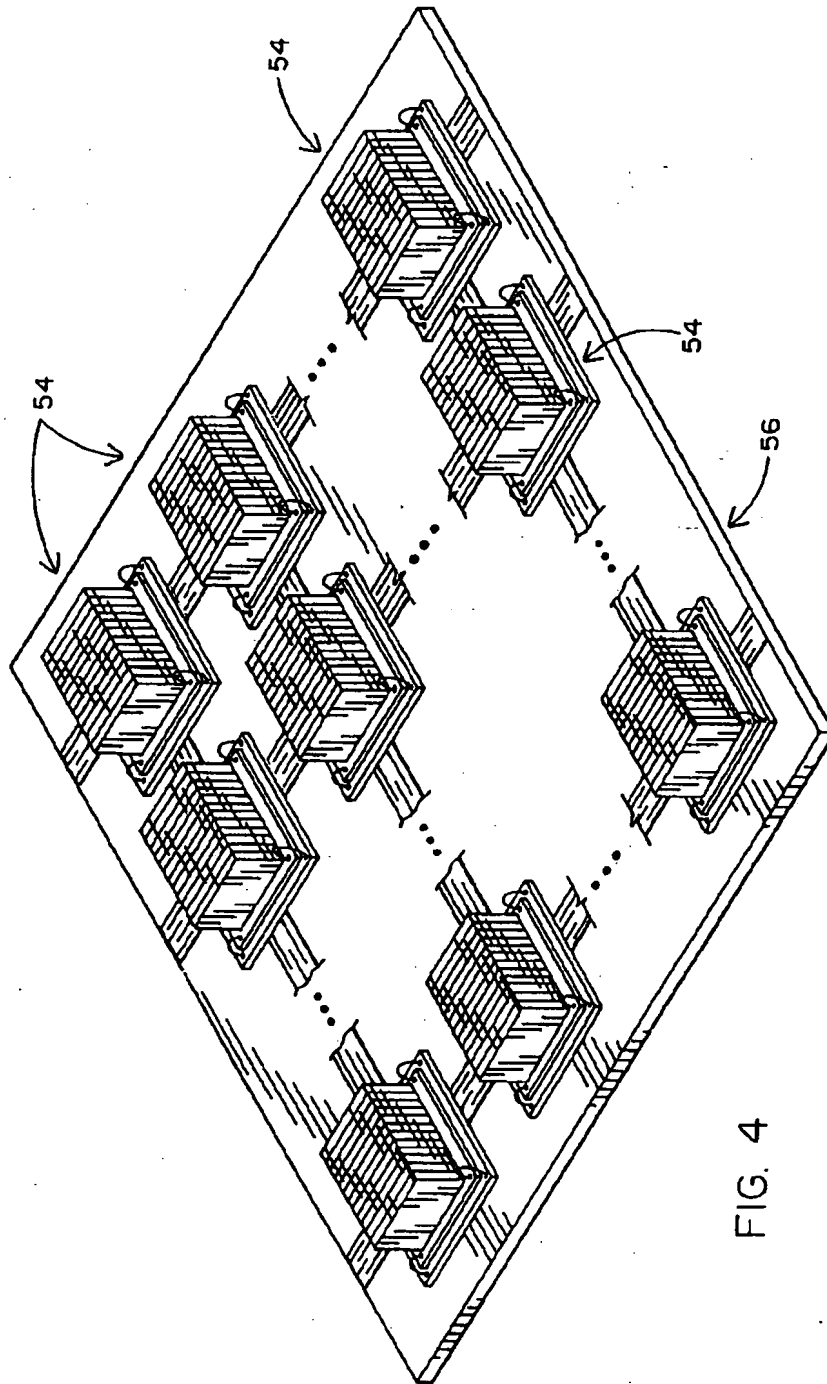


FIG. 4

【図6】

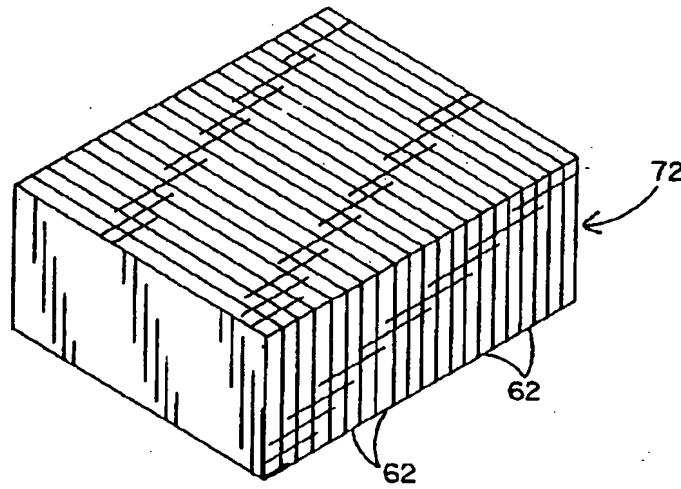


FIG. 6

【図7】

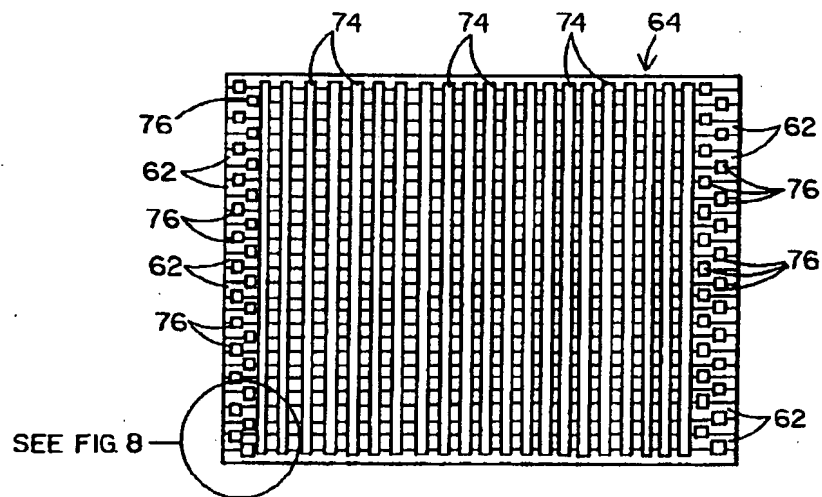


FIG. 7

【図8】

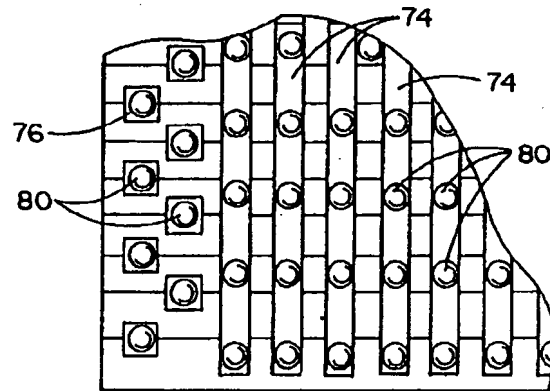


FIG. 8

【図9】

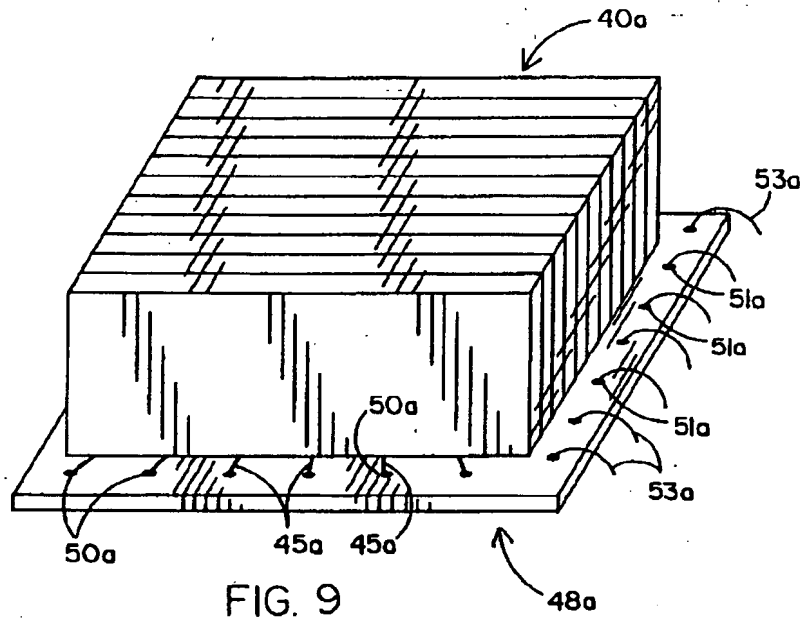


FIG. 9

【図10】

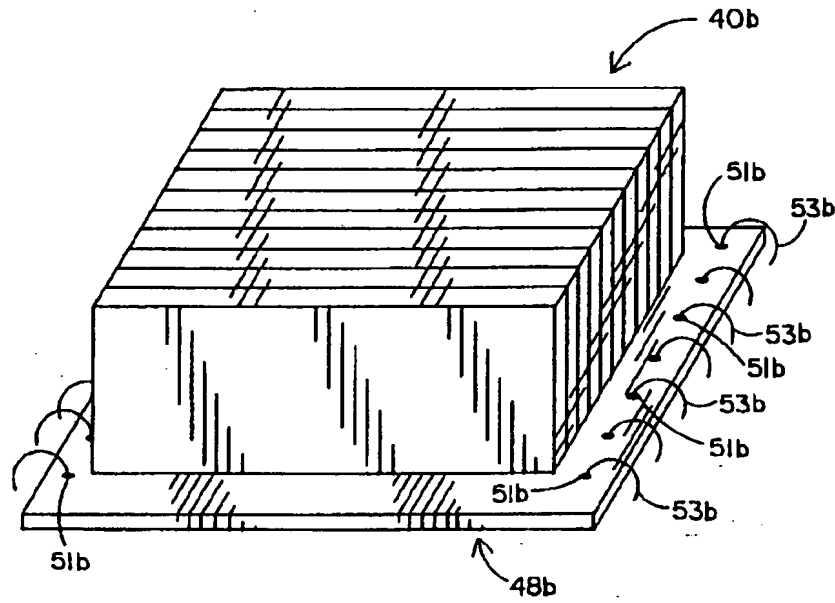
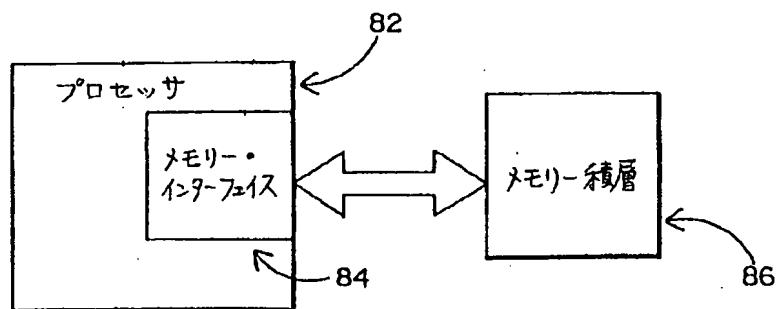


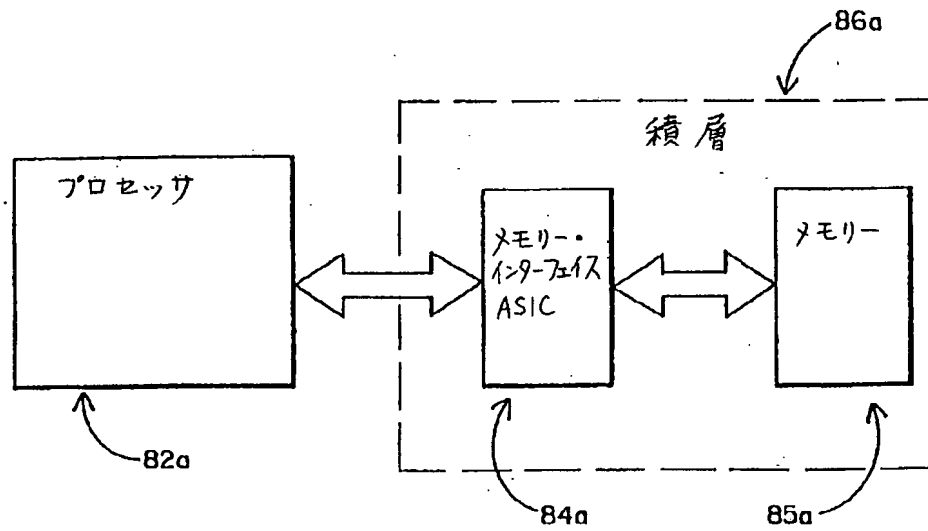
FIG. 10

【図11】

図面の翻訳文



【図12】



【図13】

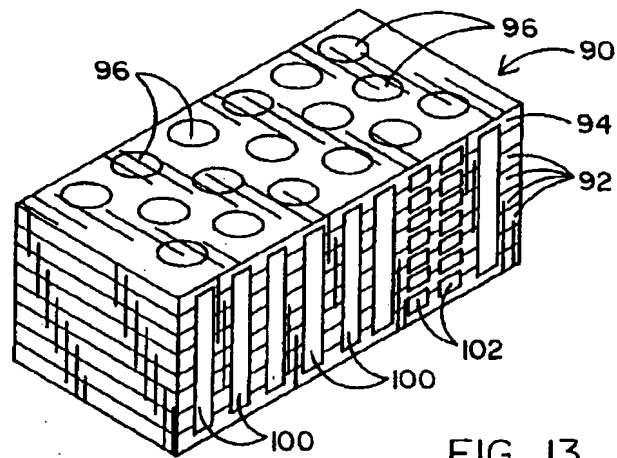
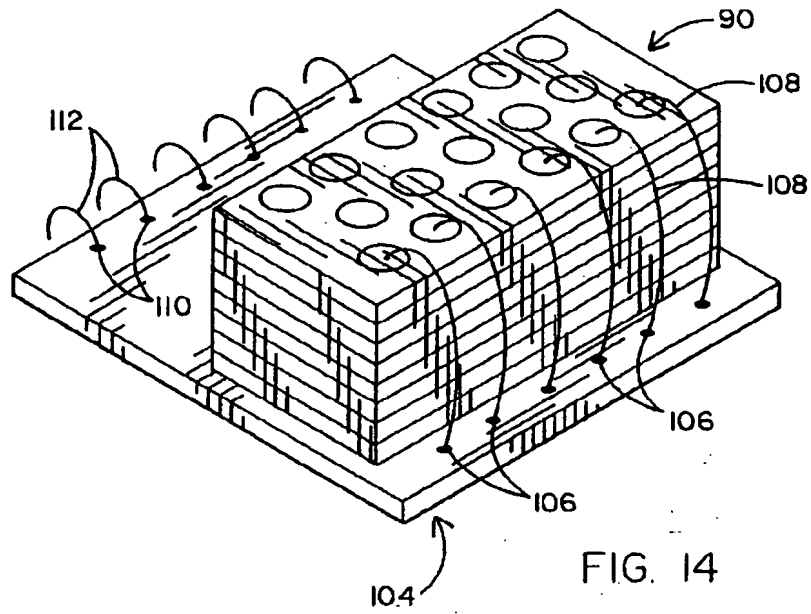
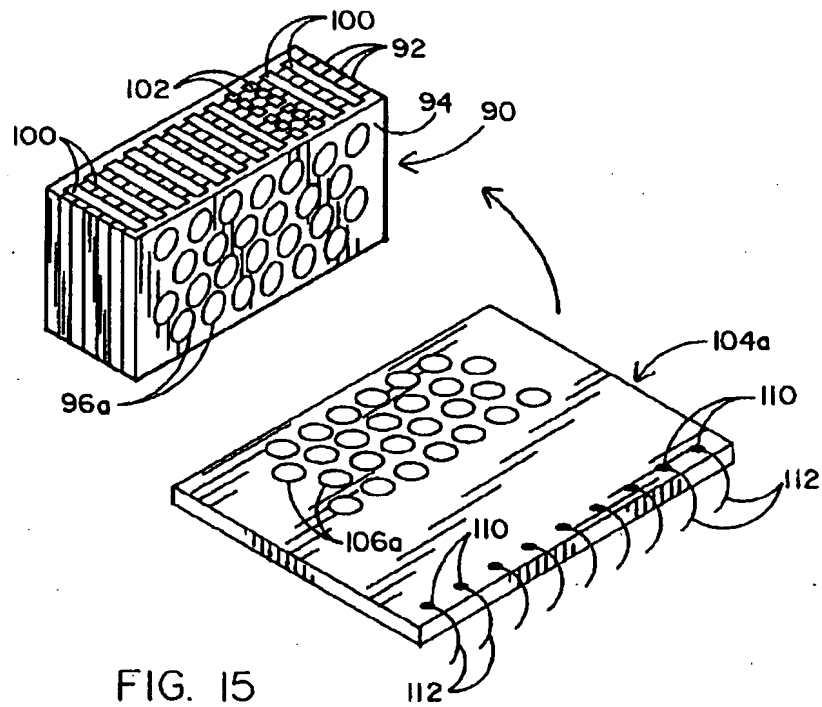


FIG. 13

【図14】



【図15】



【図16】

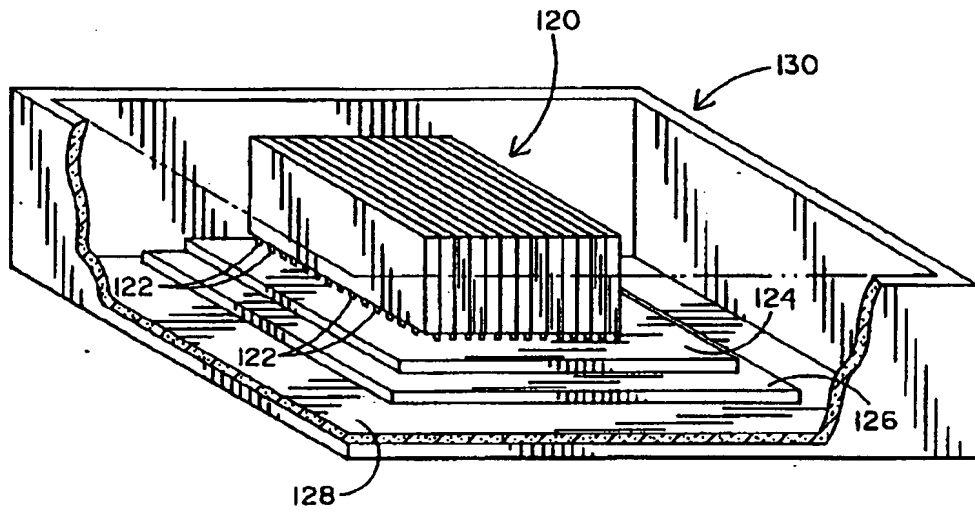


FIG. 16

【図17】

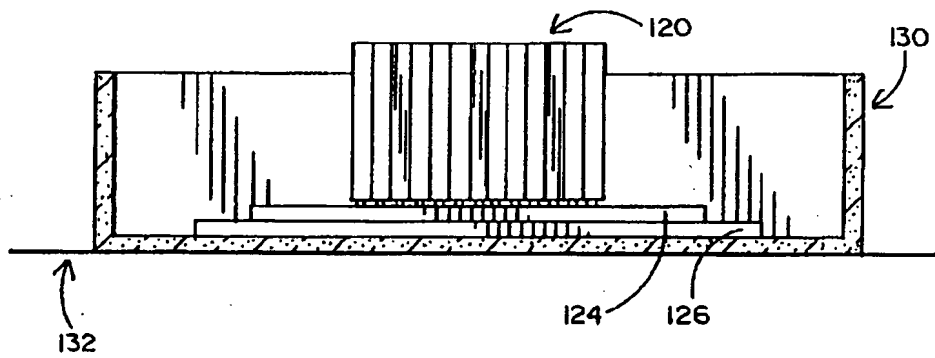


FIG. 17

【図18】

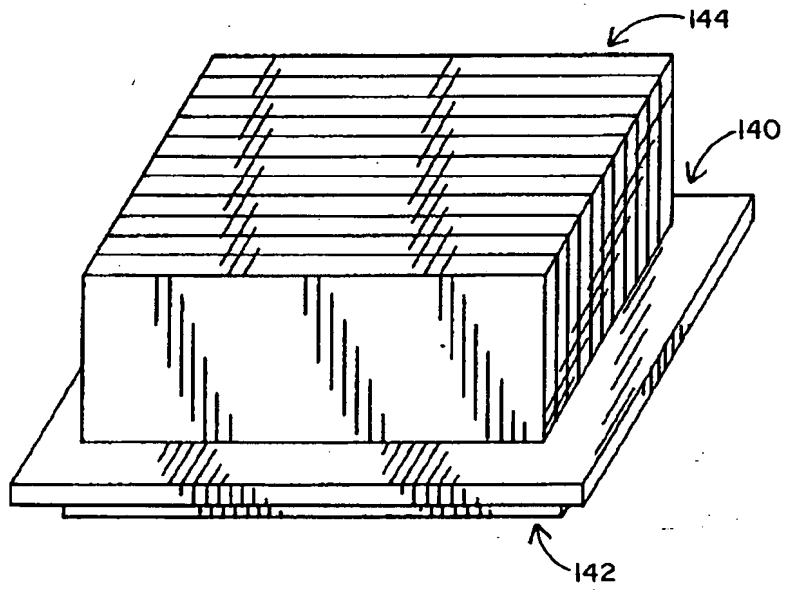


FIG. 18

【国際調査報告】

| INTERNATIONAL SEARCH REPORT | | International application No. PCT/US93/11601 | | |
|---|--|--|---|--|
| A. CLASSIFICATION OF SUBJECT MATTER IPC(S) : H05K, 7/02 US CL : 361/729, 735, 760; 174/52.4, 260; 257/678, 686 According to International Patent Classification (IPC) or to both national classification and IPC | | | | |
| B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 361/761, 707; 257/723 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) APS IMAGE | | | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. | | |
| X | US, A, 4,706,166 (GO) 10 November 1987, see the entire document. | 1-3,5-8, 18-19 | | |
| X | US, A, 4,983,533 (GO) 08 January 1991, see the entire document. | 1-3, 5-8 18-19 | | |
| X | US, A, 5,104,820 (GO) 14 April 1992, see the entire document. | 20 | | |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex. | | | | |
| <table border="0"> <tr> <td> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be part of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family </td> </tr> </table> | | | * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be part of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family |
| * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be part of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family | | | |
| Date of the actual completion of the international search 19 JANUARY 1994 | | Date of mailing of the international search report 24 FEB 1994 | | |
| Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. NOT APPLICABLE | | Authorized officer <i>Leo P. Picard</i> LEO P. PICARD Telephone No. (703) 308-0538 | | |

フロントページの続き

| | | | |
|--------------------------|------------------------|---------|-----|
| (51)Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I |
| H 0 1 L 25/18 | | | |
| 27/00 | 3 0 1 B | 8418-4M | |
| (72)発明者 | シャンケン, スチュアート, エヌ. | | |
| | アメリカ合衆国 92714 カリフォルニア, | | |
| | イルヴィン, ティンバー ラン 78 | | |

【公報種別】特許法第17条第1項及び特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成13年4月17日(2001.4.17)

【公表番号】特表平8-504060

【公表日】平成8年4月30日(1996.4.30)

【年通号数】

【出願番号】特願平6-513453

【国際特許分類第7版】

H01L 25/04

25/065

25/07

25/18

27/00 301

【F I】

H01L 25/04

Z

27/00

301 B

25/08

B

手続補正書

平成12年11月16日

補正の範囲

特許庁長官 殿

1. 事件の表示

平成12年特許第513453号

2. 補正をする者

事件との関係 特許出願人

住所 アメリカ合衆国、カリフォルニア、ロスタ、メサ、

レンドビル、アヴェニュー 3001

名称 イルビン センサーズ コーポレーション

3. 補正の範囲

住所 〒215-0003

神奈川県横浜市西区南青木4丁目15番1号

エーデルワイス台504号

電話 044-952-9112

氏名 (7312) 菅原 豊 氏

4. 補正対象書類

(1) 明細書

5. 補正対象項目

(1) 図表の範囲

6. 補正の理由

(1) 請求の範囲

図表の通り

1. コンピュータ回路を含む発振回路マイクロプロセッサ・チップと;

それぞれがコンピュータ・モジュールに専用のメモリ・回路を含む互いに接続

された複数のメモリ・チップの範囲と;

該マイクロプロセッサ・チップに含まれる該コンピュータ回路へ接続されるメ

モリ・インターフェース端子を含む、該マイクロプロセッサ・チップ上に形成

された層と;

記憶を有する該メモリ・チップのアンリが該メモリ・チップからそこに伸びる、さら

なアクセス線をもつメモリ・チップの範囲と;

該マイクロプロセッサ・チップ上のそれぞれのメモリ・インターフェース端

子と、該メモリ・チップ層の該アクセス線にある該リード線のないとも

一つへ電気的に接続するための手段と;

該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

わせて、該メモリ・チップ層と該マイクロプロセッサ・チップとを物理的に組み合

それぞれが基板面上の導線の一つと該マイクロプロセッサ・チップ上の該メモリー・インターフェイス端子の一つとの間の複数のリノキヤ・ボンドを含むことを特徴とする。請求項3に記載のコンピュータ・モジュール。

5. 該マイクロプロセッサ・チップ上に形成される該端子が、該ハンダ用バンパに接せられ且つ電気的に接続された端子を含むことを特徴とする。請求項2ないし4のいずれかひとつに記載のコンピュータ・モジュール。

6. 該マイクロプロセッサ・チップ上に形成され、該ハンダ用バンパに接せられ且つ電気的に接続された該端子が、該マイクロプロセッサ・チップの唯一のメモリー・インターフェイス端子であることを特徴とする。請求項3に記載のコンピュータ・モジュール。

7. 該ハンダ用バンパに電気的に接続された該端子から該マイクロプロセッサ・チップ上に形成された分離したメモリー・インターフェイス端子へ伸びる、該マイクロプロセッサ・チップ表面にある分離した電気リード線を含むことを特徴とする。請求項2ないし4のいずれかひとつに記載のコンピュータ・モジュール。

8. 該基板面にある該メモリー・チップが該マイクロプロセッサ・チップに垂直な面にあることを特徴とする。請求項1ないし7のいずれかひとつに記載のコンピュータ・モジュール。

9. 該基板面にある該メモリー・チップが該マイクロプロセッサ・チップに平行な面にあることを特徴とする。請求項1ないし7のいずれかひとつに記載のコンピュータ・モジュール。

10. 複数の端子をもつ導出した表面を提供する該メモリー・チップ領域の上記領域を含み、各端子が該領域の該アクセス表面で間隔を設けて配置された複数のリード線のアレイの一行または複数の行に電気的に接続されることを特徴とする。請求項9に記載のコンピュータ・モジュール。

11. それぞれが該領域の該上記領域の上の端子の一つを、該マイクロプロセッサ・チップ上に形成された該メモリー・インターフェイス端子の一つに接続するワイヤ・ボンドを含むことを特徴とする。請求項10に記載のコンピュータ・モジュール。

12. 該マイクロプロセッサ・チップに隣接するメモリー・チップ領域の間であ

って、表面に端子をもち、それぞれの端子が、該領域の該アクセス表面にある間隔を設けて配置された該電気リード線のアレイの一行または複数の行に電気的に接続されている上記の面を含むことを特徴とする。請求項9に記載のコンピュータ・モジュール。

13. 該領域の隣接する層にある何々の端子を、該マイクロプロセッサ・チップ上にある何々のメモリー・インターフェイス端子へ電気的に接続するハンダ用バンパを含むことを特徴とする。請求項12に記載のコンピュータ・モジュール。

14. 該マイクロプロセッサ・チップ上の該端子が該領域の隣接する層の上にある端子と接せられ、直接そこにハンダ付けされていることを特徴とする。請求項13に記載のコンピュータ・モジュール。

15. 該領域の隣接する層の上にある該端子へハンダ付けされた該マイクロプロセッサ・チップ上の端子が、該マイクロプロセッサ・チップの唯一の該メモリー・インターフェイス端子であることを特徴とする。請求項14に記載のコンピュータ・モジュール。

16. 該ハンダ用バンパへ電気的に接続された該端子から該マイクロプロセッサ・チップ上に形成された分離したメモリー・インターフェイス端子へ伸びる、該マイクロプロセッサ・チップ表面にある分離した電気リード線を含むことを特徴とする。請求項14に記載のコンピュータ・モジュール。

17. 該導出材料が形成され、それを貫通して伸びる複数の導出をもつ基板と；該メモリー・チップ領域を該基板の一方の表面へ固定する手段と；該基板の該表面の表面へ該マイクロプロセッサ・チップを固定する手段と；該マイクロプロセッサ・チップ上のメモリー・インターフェイス端子から該基板を貫通して、該端子を何々に、該メモリー・チップ領域の該アクセス表面にある一行または複数の電気リード線へ接続する電気接続と；を含むことを特徴とする。請求項1に記載のコンピュータ・モジュール。

18. 該マイクロプロセッサ・チップの該基板回路部が、該基板コンピュータ・モジュールの中で、利用可能な低い電力と高い速度でその必要な機能を実行するように設計されていることを特徴とする。請求項1ないし7のいずれかひとつに記載のコンピュータ・モジュール。